

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09246375 A**

(43) Date of publication of application: **19 . 09 . 97**

(51) Int. Cl. **H01L 21/768**  
**H01L 21/3065**

(21) Application number: **08049672**

(71) Applicant: **HITACHI LTD**

(22) Date of filing: **07 . 03 . 96**

(72) Inventor: **OSHIKA KATSUSHI**

(54) **METHOD OF FORMING INTERCONNECTION AND MANUFACTURE OF SEMICONDUCTOR DEVICE**

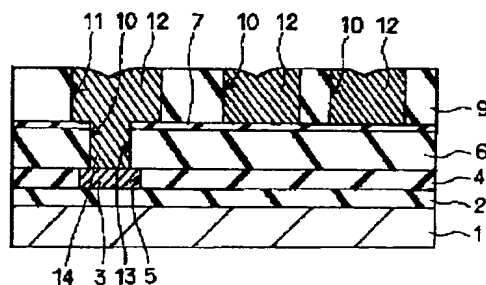
whereby the upper interconnection 12 and the through-hole 14 are formed at the same time.

(57) Abstract:

COPYRIGHT: (C)1997,JPO

**PROBLEM TO BE SOLVED:** To enable a semiconductor device to be shortened in manufacturing process and lessened in cost by a method wherein a groove and a through-hole for interconnection are formed through a single etching process, and an interconnection and a through-hole section are formed through a single metal deposition and a single mechanochemical polishing process.

**SOLUTION:** A stopper insulating film ( $\text{AlN}$ ,  $\text{Al}_2\text{O}_3$ ) 7 which is provided with an opening 10 and hard to dry-etch with F radicals is interposed between insulating films ( $\text{SiN}$ ,  $\text{SiO}_2$ ) 6 and 9 which can be etched with F radicals. Thereafter, an interconnection groove 11 which reaches the stopper insulating film 7 and a through-hole 13 which penetrates through the upper and lower insulating films, 6 and 9, passing through the opening 10 are formed at the same time by dry-etching the upper insulating film 9 with F radicals. Thereafter, Cu is buried by a CVD method or the like, and the surface of the upper insulating film 9 is polished by mechanochemical polishing to leave metal only inside the interconnection groove 11 and the through-hole 13,



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246375

(43) 公開日 平成9年(1997)9月19日

(51) IntCl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/768

H 0 1 L 21/90

A

21/3065

21/302

L

審査請求 未請求 請求項の数6 O L (全 8 頁)

(21) 出願番号

特願平8-49672

(22) 出願日

平成8年(1996)3月7日

(71) 出願人

000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者

大鹿 克志

東京都青梅市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人

弁理士 秋田 収喜

(54) 【発明の名称】 配線形成方法および半導体装置の製造方法

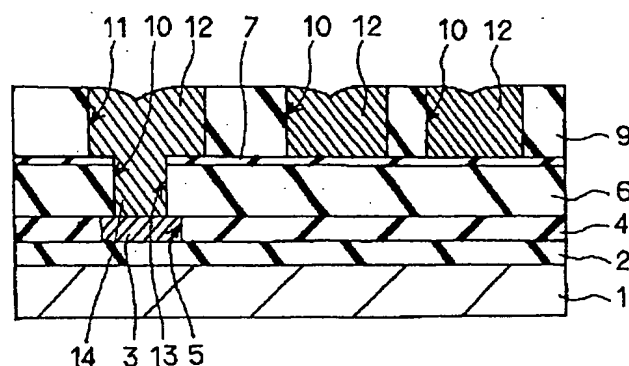
(57) 【要約】

(修正有)

【課題】 配線用溝とスルーホールを1回のエッチングで形成するとともに、1回の金属堆積と化学的機械研磨で配線とスルーホール部を形成して工程を短縮し、コストの低減を図る。

【解決手段】 Fラジカルでドライエッチング可能な絶縁膜 (SiN、SiO<sub>2</sub>) 6、9間に、一部が開口して開口部10を有するFラジカルでドライエッチング不可能なストップ絶縁膜 (AlN、Al<sub>2</sub>O<sub>3</sub>) 7を配置した後、Fラジカルでドライエッチング加工する際に、上層の絶縁膜9をエッチングしてストップ絶縁膜7に至る配線用溝11と、上層の絶縁膜から開口部を通して下層の絶縁膜を貫通するスルーホール13を同時に形成し、その後、CuをCVD法などにより埋込むとともに化学的機械研磨によって上層から研磨して、配線用溝11内およびスルーホール13内のみ金属を残すことで、上層配線12とスルーホール部14を同時に形成する。

図1



1

## 【特許請求の範囲】

【請求項1】 第1のエッチング種によってエッチングされる絶縁膜の中層に、一部に開口部を有しかつ前記第1のエッチング種によってエッチング不可能な材質からなるストップ絶縁膜を配置した後、第1のエッチング種で前記絶縁膜を表面からエッチングして前記ストップ絶縁膜の表面が底となる配線用溝と、前記配線用溝に連なり前記ストップ絶縁膜の開口部よりも下の絶縁膜部分を貫通するスルーホールを同時に形成し、その後、前記配線用溝およびスルーホールを埋め込むように前記絶縁膜上に金属膜を堆積させ、ついで前記金属膜を化学的機械研磨によって研磨して、前記配線用溝内およびスルーホール内にのみ金属を残すことによって配線およびスルーホール部を同時に形成することを特徴とする配線形成方法。

【請求項2】 前記絶縁膜はFラジカルでドライエッチング可能なSiN膜やSiO<sub>2</sub>膜などからなり、前記ストップ絶縁膜はイオンミリングやCラジカルやBrラジカルでエッチング可能なAlN膜や、Al<sub>2</sub>O<sub>3</sub>膜などからなることを特徴とする請求項1記載の配線形成方法。

【請求項3】 絶縁膜に貫通状態で埋め込まれた下層配線と、前記絶縁膜および下層配線上に形成される層間絶縁膜と、前記層間絶縁膜上に形成されかつ絶縁膜に貫通状態で埋め込まれた上層配線と、前記層間絶縁膜に選択的に設けられたスルーホールに充填され前記所定の下層配線部分と前記所定の上層配線部分を電気的に接続する導体からなるスルーホール部とを含む配線構造を有する半導体装置の製造方法であって、前記下層配線および絶縁膜の上に第1のエッチング種によってエッチングされる層間絶縁膜を形成する工程と、前記層間絶縁膜上に第1のエッチング種によってエッチングされないストップ絶縁膜を選択的に形成する工程と、前記ストップ絶縁膜および露出する層間絶縁膜上に第1のエッチング種によってエッチングされる上層配線形成用の絶縁膜を形成する工程と、前記上層配線形成用の絶縁膜上に選択的にエッチング用マスクを設けた後このエッチング用マスクをマスクとして第1のエッチング種によって前記上層配線形成用絶縁膜と前記ストップ絶縁膜に被われない層間絶縁膜部分をエッチングして前記ストップ絶縁膜の表面に到達する上層配線形成用溝と前記下層配線の表面に到達するスルーホールを同時に形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 絶縁膜に貫通状態で埋め込まれた下層配線と、前記絶縁膜および下層配線上に形成される層間絶縁膜と、前記層間絶縁膜上に形成されかつ絶縁膜に貫通状態で埋め込まれた上層配線と、前記層間絶縁膜に選択的に設けられたスルーホールに充填され前記所定の下層配線部分と前記所定の上層配線部分を電気的に接続する導体からなるスルーホール部とを含む配線構造を有する

2

半導体装置の製造方法であって、前記下層配線および絶縁膜の上に第1のエッチング種によってエッチングされる層間絶縁膜を形成する工程と、前記層間絶縁膜上に第1のエッチング種によってエッチングされないストップ絶縁膜を選択的に形成する工程と、前記ストップ絶縁膜および露出する層間絶縁膜上に第1のエッチング種によってエッチングされる上層配線形成用の絶縁膜を形成する工程と、前記上層配線形成用の絶縁膜上に選択的にエッチング用マスクを設けた後このエッチング用マスクをマスクとして第1のエッチング種によって前記上層配線形成用絶縁膜と前記ストップ絶縁膜に被われない層間絶縁膜部分をエッチングして前記ストップ絶縁膜の表面に到達する上層配線形成用溝と前記下層配線の表面に到達するスルーホールを同時に形成する工程と、前記スルーホールおよび上層配線形成用溝に導体を充填してスルーホール部および上層配線を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項5】 前記層間絶縁膜はFラジカルでドライエッチング可能なSiN膜やSiO<sub>2</sub>膜などからなり、前記ストップ絶縁膜はイオンミリングやCラジカルやBrラジカルでエッチング可能なAlN膜や、Al<sub>2</sub>O<sub>3</sub>膜などからなることを特徴とする請求項3または請求項4記載の半導体装置の製造方法。

【請求項6】 前記上層配線形成用溝およびスルーホールを形成した後、半導体基板の主面側全域にAl、Au、Cuなどの金属による金属膜を形成し、その後化学的機械研磨によって前記金属膜を研磨して前記上層配線形成用溝内およびスルーホール内にのみ金属を残すことによって前記上層配線および前記スルーホール部を同時に形成することを特徴とする請求項3乃至請求項5のいずれか1項記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は配線形成方法および半導体装置の製造方法に関し、特に、微細配線加工が必要な半導体集積回路装置の製造における配線形成方法に適用して有効な技術に関する。

## 【0002】

【従来の技術】従来、半導体集積回路装置の製造における配線の形成は、ホトレジストをマスクとして金属膜をドライエッチング加工することによって形成されている。

【0003】半導体集積回路装置の配線としては、一般にアルミニウム(Al)が使用されているが、配線の微細化に伴い、Al配線でのエレクトロマイグレーションによる信頼性の低下が懸念されている。

【0004】最近、前記Al配線に代わり、エレクトロマイグレーション耐性を有する銅(Cu)による配線技術が開発されている。ドライエッチングによる従来の方法は、Cuの反応生成物を気化させるために、基板を高

温250～300度に加熱しながら加工する必要があること、異方エッチングが難しいことなどの問題点がある。

【0005】また、Cu配線を実現する方法として、ダマシン(damascene)法が知られている。ダマシン法については、たとえば、日経BP社発行「日経マイクロデバイス」1995年7月号、同年7月1日発行、P120～P127に記載されている。

【0006】この文献には、「ダマシン・プロセスのプロセス・フローは以下の通り。まず、下層との接続のためのホールを埋め込んだ後に、メタル配線の膜厚分だけ絶縁膜を堆積する。次に、この絶縁膜を露光技術とエッチング技術によって加工して、メタル配線となる溝を形成する。この溝のある絶縁膜上にメタル材料を成膜、最後に溝以外のところに付いたメタル材料をCMPで除去する。このプロセスでは、メタルを成膜後にCMPで研磨するので、この後の絶縁膜の形成面は常に平坦になる。」旨記載されている。

【0007】また、前記文献には、配線用溝とホール(スルーホール)用溝を順次加工した後、メタル材料を埋め込み、その後化学的機械研磨(CMP)によって平坦化して、配線とスルーホール部を同時に形成するデュアル・ダマシン(dual-damascene)法について記載されている。

【0008】このデュアル・ダマシン法は以下の通りとなっている。

【0009】(a)酸化膜上にエッチング・ストッパを堆積させる。

【0010】(b)前記エッチング・ストッパを選択的に除去するとともに、前記エッチング・ストッパをエッチング用マスクとして前記酸化膜を所定深さまでエッチングして配線用溝を形成する。

【0011】(c)前記エッチング・ストッパ上に選択的にフォトリソを形成するとともに、前記フォトリソをマスクとしてエッチングを行い、ホールを形成する。このホール形成時のエッチングにおいて、前記エッチング・ストッパに被われた酸化膜部分はエッチングされない。

【0012】(d)前記ホールおよび配線用溝を金属材料で埋め込むとともに、CMPによって前記エッチング・ストッパの表面高さ以上の金属材料を除去してホール部(スルーホール部)および配線を形成する。

【0013】一方、前記文献には、階層化した4層配線(2例)や5層配線の構造例が開示されている。各導体層は、ブロック内や隣接するブロック間の配線(X、Y方向)、専用電源層、電源と接地の併用層、バスやクロック向け配線(X、Y方向)、専用接地層、バスやクロック向け配線と電源、接地の併用層を形成する。

【0014】

【発明が解決しようとする課題】従来のデュアル・ダマ

シン法は、スルーホール(コンタクト穴)と配線用溝に同時に金属材料を充填した後、余分の金属材料部分をCMPによって研磨除去することによって、スルーホール部と配線を同時に形成するため、ダマシン法に比較して工程が短縮され、半導体装置の製造コストの低減が図れる。

【0015】しかし、従来のデュアル・ダマシン法では、配線用溝の形成とホール形成の2回に亘って処理コストの高いドライエッチングが行われる。

【0016】また、従来のデュアル・ダマシン法では、配線用溝の深さは、酸化膜のエッチングによって制御することから、エッチング時間等のエッチング条件が微妙に変化すると、配線用溝の深さがばらつき、配線の厚さがばらついて配線抵抗が変動する。

【0017】また、配線用溝の深さのばらつきは層間絶縁膜の厚さのばらつきとなり寄生容量が変動する。

【0018】本発明の目的は、スルーホールと上層配線用の配線用溝を同時に形成し、かつスルーホール部と配線(上層配線)を同時に形成する配線形成方法および半導体装置の製造方法を提供するものである。

【0019】本発明の他の目的は、上層配線と下層配線との間の絶縁膜の厚さを一定に形成できる配線形成方法および半導体装置の製造方法を提供することにある。

【0020】本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

【0021】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0022】(1)第1のエッチング種によってエッチングされる絶縁膜の中層に、一部に開口部を有しかつ前記第1のエッチング種によってエッチング不可能な材質からなるストッパ絶縁膜を配置した後、第1のエッチング種で前記絶縁膜を表面からエッチングして前記ストッパ絶縁膜の表面が底となる配線用溝と、前記配線用溝に連なり前記ストッパ絶縁膜の開口部よりも下の絶縁膜部分を貫通するスルーホールを同時に形成し、その後、前記配線用溝およびスルーホールを埋め込むように前記絶縁膜上に金属膜を堆積させ、ついで前記金属膜を化学的機械研磨によって研磨して、前記配線用溝内およびスルーホール内にのみ金属を残すことによって配線およびスルーホール部を同時に形成する。前記絶縁膜は第1のエッチング種(Fラジカル)でドライエッチング可能なSiN膜やSiO<sub>2</sub>膜などからなり、前記ストッパ絶縁膜はイオンミリングやClラジカルやBrラジカルでエッチング可能なAlN膜や、Al<sub>2</sub>O<sub>3</sub>膜などからなっている。

【0023】(2)絶縁膜に貫通状態で埋め込まれた下層配線と、前記絶縁膜および下層配線上に形成される層

間絶縁膜と、前記層間絶縁膜上に形成されかつ絶縁膜に貫通状態で埋め込まれた上層配線と、前記層間絶縁膜に選択的に設けられたスルーホールに充填され前記所定の下層配線部分と前記所定の上層配線部分を電気的に接続する導体からなるスルーホール部とを含む配線構造を有する半導体装置の製造方法であって、前記下層配線および絶縁膜の上に第1のエッチング種によってエッチングされる層間絶縁膜を形成する工程と、前記層間絶縁膜上に第1のエッチング種によってエッチングされないストップパ絶縁膜を選択的に形成する工程と、前記ストップパ絶縁膜および露出する層間絶縁膜上に第1のエッチング種によってエッチングされる上層配線形成用の絶縁膜を形成する工程と、前記上層配線形成用の絶縁膜上に選択的にエッチング用マスクを設けた後このエッチング用マスクをマスクとして第1のエッチング種によって前記上層配線形成用絶縁膜と前記ストップパ絶縁膜に被われない層間絶縁膜部分をエッチングして前記ストップパ絶縁膜の表面に到達する上層配線形成用溝と前記下層配線の表面に到達するスルーホールを同時に形成する工程と、前記スルーホールおよび上層配線形成用溝に導体を充填してスルーホール部および上層配線を形成する工程とを有する。前記ストップパ絶縁膜には、スルーホール形成のための開口部を設けておき、この開口部部分の上層配線形成用の絶縁膜および層間絶縁膜のエッチングによってスルーホールを形成する。前記層間絶縁膜は第1のエッチング種（Fラジカル）でドライエッチング可能なSiN膜やSiO<sub>2</sub>膜などからなり、前記ストップパ絶縁膜はイオンミリングやClラジカルやBrラジカルでエッチング可能なAlN膜や、Al<sub>2</sub>O<sub>3</sub>膜などからなっている。前記上層配線形成用溝およびスルーホールを形成した後、半導体基板の主面側全域にAl、Au、Cuなどの金属による金属膜を形成し、その後化学的機械研磨によって前記金属膜を研磨して前記上層配線形成用溝内およびスルーホール内のみ金属を残すことによって前記上層配線および前記スルーホール部を同時に形成する。

【0024】前記（1）の配線形成方法によれば、

（a）第1のエッチング種によってエッチングされる絶縁膜の中層に第1のエッチング種ではエッチングされないストップパ絶縁膜を介在させ、かつ前記ストップパ絶縁膜にスルーホール形成のための開口部を設けておくことから、第1のエッチング種による1回のエッチングで深さの異なる配線用溝とスルーホールが同時に形成でき、かつ1回の金属の堆積と化学的機械研磨による1回の配線形成方法によって配線およびスルーホール部が同時に形成できる。すなわち、前記配線用溝およびスルーホールの形成においては、絶縁膜上に設けたエッチング用マスクをマスクとして絶縁膜をエッチングしてストップパ絶縁膜の表面が底となる配線用溝と、前記配線用溝に連通しかつ前記開口部の下の絶縁膜を貫通するスルーホールを同時に形成できる。したがって、工程短縮によって配線

形成コストの低減が達成できる。

【0025】（b）前記配線用溝の底はストップパ絶縁膜によって形成されるため、配線用溝の深さが一定となり、配線の厚さが一定となる。また、配線の下のストップパ絶縁膜およびストップパ絶縁膜の下の絶縁膜部分の厚さは常に一定となり、寄生容量が一定する。

【0026】前記（2）の手段によれば、（a）いずれも第1のエッチング種によってエッチングされる層間絶縁膜と上層配線形成用の絶縁膜との間に第1のエッチング種ではエッチングされないストップパ絶縁膜を介在させ、かつ前記ストップパ絶縁膜にスルーホール形成のための開口部を設けておくことから、第1のエッチング種による1回のエッチングで深さの異なる上層配線形成用の配線用溝とスルーホールが同時に形成できる。すなわち、上層配線形成用の絶縁膜上に設けたエッチング用マスクをマスクとして上層配線形成用の絶縁膜をストップパ絶縁膜の表面までエッチングすることによって配線用溝が形成され、前記開口部に対応する部分の上層配線形成用絶縁膜およびその下の層間絶縁膜を下層配線の表面にまで到達するようにエッチングすることによってスルーホールが形成できる。

【0027】（b）1回のエッチングによって同時に形成された前記配線用溝およびスルーホールには、金属の堆積と化学的機械研磨による1回の配線形成方法によって上層配線およびスルーホール部が同時に形成できる。

【0028】（c）前記配線用溝の底はストップパ絶縁膜によって形成されるため、配線用溝の深さが一定となる。

【0029】（d）配線用溝の深さが一定となることから、配線（上層配線）の厚さが一定となる。また、上層配線の下のストップパ絶縁膜および層間絶縁膜の厚さは常に一定となり、寄生容量が一定する。

【0030】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0031】本実施形態の配線形成方法は、第1のエッチング種によってエッチングされる絶縁膜の中層に、一部に開口部を有しかつ前記第1のエッチング種によってエッチング不可能な材質からなるストップパ絶縁膜を配置した後、第1のエッチング種で前記絶縁膜を表面からエッチングして前記ストップパ絶縁膜の表面が底となる配線用溝と、前記配線用溝に連なり前記ストップパ絶縁膜の開口部よりも下の絶縁膜部分を貫通するスルーホールを同時に形成し、その後、前記配線用溝およびスルーホールを埋め込むように前記絶縁膜上に金属膜を堆積させ、ついで前記金属膜を化学的機械研磨によって研磨して、前記配線用溝内およびスルーホール内にのみ金属を残すことによって配線およびスルーホール部を同時に形成す

る。前記絶縁膜は第1のエッチング種（Fラジカル）でドライエッチング可能なSiN膜やSiO<sub>2</sub>膜などからなり、前記ストップ絶縁膜はイオンミリング、CラジカルやBrラジカルでエッチング可能なAlN膜や、Al<sub>2</sub>O<sub>3</sub>膜などからなっている。

【0032】以下、本発明を半導体装置の製造方法に適用した具体例について説明する。図1は本発明の一実施形態である半導体装置の製造方法によって製造された半導体装置を示す模式的断面図である。図2乃至図6は本実施形態の半導体装置の製造方法に係わる図であり、図2は半導体基板の主面側に下層配線を形成した状態を示す模式的断面図、図3は層間絶縁膜およびストップ絶縁膜を形成した状態を示す模式的断面図、図4はストップ絶縁膜に開口部を形成した状態を示す模式的断面図、図5は上層配線形成用の絶縁膜を形成した状態を示す模式的断面図、図6は配線用溝およびスルーホールを形成した状態を示す模式的断面図、図7は配線形成用金属膜を形成した状態を示す模式的断面図である。

【0033】本実施形態1の半導体装置は、図1に示すように、シリコンからなる半導体基板1の主面に絶縁膜2を有している。前記絶縁膜2の上には埋め込み（像眼）構造の下層配線3が形成されている。すなわち、前記下層配線3は、前記絶縁膜2上に形成された絶縁膜4に設けた配線用溝5内のみ金属、たとえば、Cuを充填（像眼）することによって形成されている。すなわち、配線用溝5を形成した絶縁膜4上に、配線用溝5を埋め込むように厚くCuを形成した後、化学的機械研磨によって絶縁膜4上のCuを研磨することにより下層配線3を形成する。したがって、下層配線3の上面と絶縁膜4の上面とは同一の面となり、全体で同一の平坦面となっている。

【0034】前記半導体基板1には、図示しないが、バイポーラトランジスタやMOSFET（Metal Oxide Semiconductor Field-Effect-Transistor）等の能動素子や抵抗等の受動素子が形成されている。そして、前記下層配線は直接または図示しない電極を介して各素子の導電型領域に電気的に接続される構造となっている。

【0035】前記下層配線3および絶縁膜4上には層間絶縁膜6、ストップ絶縁膜7および配線形成用の絶縁膜9が順次積層形成されている。前記層間絶縁膜6および絶縁膜9は、第1のエッチング種によってエッチングされる材質で形成されている。たとえば、前記層間絶縁膜6および絶縁膜9は、第1のエッチング種（Fラジカル）でドライエッチング可能なSiN膜やSiO<sub>2</sub>膜などからなっている。前記層間絶縁膜6は、たとえば、0.6μm程度の厚さとなり、前記絶縁膜9は後述する上層配線と同じ厚さとなっている。

【0036】また、前記ストップ絶縁膜7は第1のエッチング種ではエッチングされず第2のエッチング種によってエッチングされる材質で形成されている。たとえ

ば、前記ストップ絶縁膜7は、イオンミリング、CラジカルやBrラジカルでエッチング可能なAlN膜や、Al<sub>2</sub>O<sub>3</sub>膜などからなっている。ストップ絶縁膜7の厚さは、たとえば、0.01μm以下程度と薄くなっている。このストップ絶縁膜7のスルーホール形成部分に対応する部分には、エッチングによって開口部10が設けられている。

【0037】また、前記絶縁膜9にはストップ絶縁膜7の表面に到達する配線用溝11が形成されている。この配線用溝11内には金属が埋め込まれて上層配線12が形成されている。

【0038】また、前記配線用溝11はストップ絶縁膜7に設けられた開口部10に重なるように設けられている。前記開口部10に対応する層間絶縁膜6部分はエッチングされてスルーホール13が設けられている。このスルーホール13には金属が充填されてスルーホール部14が形成されている。前記スルーホール部14は、それぞれ接触する下層配線3と上層配線12を電気的に接続する。

【0039】前記上層配線12とスルーホール部14は同時に一体的に形成されている。すなわち、半導体基板1の主面側全域にAl、Au、Cuなどの金属による金属膜を形成する。これによって前記配線用溝11およびスルーホール13にも金属が隙間なく充填される。その後、化学的機械研磨によって前記金属膜を研磨して前記配線用溝11内およびスルーホール13内にのみ金属を残留させて上層配線12およびスルーホール部14を形成する。

【0040】つぎに、図1に示す半導体装置部分の製造方法について説明する。

【0041】最初に、図2に示すようにシリコンからなる半導体基板1を用意する。この半導体基板1には、図示しないが既にバイポーラトランジスタやMOSFET等の能動素子や抵抗等の受動素子が形成されている。また、前記半導体基板1の主面には選択的に絶縁膜2が設けられている。そして、絶縁膜2が設けられない領域には、各素子の所定導電型領域が露出したり、あるいは各素子の所定導電型領域に電気的に接続される電極が設けられている。

【0042】前記絶縁膜2上には絶縁膜4に貫通状態で埋め込まれた下層配線3が形成される。すなわち、前記半導体基板1の主面側全域に絶縁膜4を形成した後、前記絶縁膜4を選択的にエッチングして配線用溝5を形成し、その後、半導体基板1の主面全域に、たとえばCuを堆積して金属膜20を形成する。前記金属膜20は前記配線用溝5を完全に埋め込むように厚く形成する。

【0043】ついで、化学的機械研磨によって絶縁膜4の表面高さ以上の金属膜部分を除去して下層配線3を形成する。これによって半導体基板1の主面側は平坦な面になる。また、前記下層配線3は、半導体基板1の主面

表層部分に形成された各素子の所定導電型領域に直接または電極を介して電氣的に接続される。

【0044】つぎに、前記下層配線3および絶縁膜4の上、すなわち、半導体基板1の主面上に第1のエッチング種によってエッチングされる層間絶縁膜6を形成するとともに、前記層間絶縁膜6上に第1のエッチング種によってエッチングされないストップ絶縁膜7を選択的に形成する。具体的には、図3に示すように、半導体基板1の主面上にCVD (Chemical Vapor Deposition)法によって層間絶縁膜6とストップ絶縁膜7を積層形成する。前記層間絶縁膜6は、Fラジカルでドライエッチング可能なSiN、SiO<sub>2</sub>などで形成され、たとえば、厚さ0.6μm程度となっている。

【0045】前記ストップ絶縁膜7は、Fラジカルでドライエッチング不可能で、イオンミリング、ClラジカルやCrラジカルによるドライエッチングによってエッチング可能なAlN、Al<sub>2</sub>O<sub>3</sub>などからなり、厚さは0.01μm以下程度と極めて薄くなっている。

【0046】つぎに、図4に示すように、ホトレジスト膜21をストップ絶縁膜7上に形成した後、常用のリソグラフィ技術によってパターンニングしてエッチングマスクを形成する。そして、このホトレジスト膜21をエッチングマスクとしてエッチングを行い、ストップ絶縁膜7を部分的に除去して開口部10を形成する。ストップ絶縁膜7はFラジカルでドライエッチング不可能な絶縁膜であることから、イオンミリング法、Clラジカルによるドライエッチング法によってエッチングを行う。前記開口部10はスルーホール形成部分に設けられ、前記下層配線3上に重なる。

【0047】この際、Fラジカルでドライエッチング不可能なストップ絶縁膜7は、0.01μm以下程度と非常に薄いため、前記ホトレジスト膜21は、0.3μm以下程度に薄くすることが可能である。これによって、ホトレジスト膜21の形状ばらつきの影響が小さくなり、エッチング加工ばらつきは小さくなる。

【0048】つぎに、前記ホトレジスト膜21を除去した後、図5に示すように、前記半導体基板1の主面全域に上層配線形成用の絶縁膜9を形成する。この絶縁膜9は、後に形成される配線用溝に金属を充填して配線を形成するためのものであることから、配線の厚さと同じ厚さに形成される。

【0049】また、絶縁膜9は、第1のエッチング種(Fラジカル)でドライエッチング可能な材質、すなわち、SiNやSiO<sub>2</sub>で形成される。

【0050】これによって、前記層間絶縁膜6および絶縁膜9と、前記ストップ絶縁膜7とは、前記層間絶縁膜6および絶縁膜9が第1のエッチング種(Fラジカル)でドライエッチング可能な絶縁膜(SiNやSiO<sub>2</sub>など)となり、前記ストップ絶縁膜7が第1のエッチング種(Fラジカル)でドライエッチング不可能な絶縁膜

(AlNやAl<sub>2</sub>O<sub>3</sub>など)となることから、第1のエッチング種(Fラジカル)によるドライエッチングにおいて完全なエッチング選択比を得ることができる。

【0051】つぎに、前記上層配線形成用の絶縁膜9の上に、選択的にエッチング用マスクを設けた後、このエッチング用マスクをマスクとして第1のエッチング種(Fラジカル)によって前記絶縁膜9と前記ストップ絶縁膜7に被われない層間絶縁膜6部分をエッチングして、前記ストップ絶縁膜7の表面に到達する上層配線形成用の配線用溝11と、一部の配線用溝11と連通しかつ前記下層配線3の表面に到達するスルーホール13を同時に形成する。

【0052】すなわち、図6に示すように、前記絶縁膜9上に常用のリソグラフィ技術によって所望のパターンを有するホトレジスト膜22を形成する。その後、前記ホトレジスト膜22をエッチング用マスクとして第1のエッチング種(Fラジカル)でドライエッチングを行う。

【0053】前記絶縁膜9の下層のストップ絶縁膜7はエッチングストップとして作用することから、所定部分の絶縁膜9をエッチングすることによってストップ絶縁膜7の表面が底となる配線用溝11が形成される。また、一部の配線用溝11の底にあたる部分に前記ストップ絶縁膜7を一部開口した開口部10が設けられていることから、前記開口部10に露出する層間絶縁膜6も連続してエッチングされることになり、前記下層配線3の表面に到達するスルーホール13が形成されることになる。これにより、1回のドライエッチングによって、中層のストップ絶縁膜7の開口部10を利用することによって、同時に深さの異なる溝(穴)が形成できる。

【0054】つぎに、図7に示すように、前記配線用溝11およびスルーホール13を完全に埋め込むようにホトレジスト膜22(半導体基板1の主面)上にCVD法によってAl、Au、Cuなどからなる金属を堆積させて金属膜23を形成する。本実施形態では、金属膜23はCuによって形成する。その後、化学的機械研磨によって絶縁膜9の表面高さ以上の金属膜部分を除去し、図1に示すように、前記配線用溝11およびスルーホール13内のみ金属を残してスルーホール部14および上層配線12を形成する。

【0055】これによって、配線が形成される。

【0056】本実施形態の半導体装置の製造方法によれば、下層配線3の上の層間絶縁膜6上に上層配線12を形成する際、上層配線12を形成するための配線用溝11および上層配線12と前記下層配線3を電氣的に接続するためのスルーホール部14を形成するためのスルーホール13を、1回のドライエッチングによって同時に形成でき、従来のような複数回のドライエッチングが不要となる。また、スルーホール部14および上層配線12の形成も、1回のCVD法による金属膜23の形成と

化学的機械研磨によって形成でき、従来のような複数回のCVD法による金属膜の形成と化学的機械研磨とはならない。したがって、工程短縮によって半導体装置の製造コストの低減を達成することができる。

【0057】本実施形態の半導体装置の製造方法によれば、前記配線用溝11の底はストップ絶縁膜7によって決定されるため、配線用溝11が形成される絶縁膜9の厚さを正確に形成しておけば、エッチングによって配線用溝11の深さが変動しなくなり、常に一定の深さの配線用溝11を形成することができるようになる。これは、前記配線用溝11に埋め込まれて形成される上層配線12の厚さを常に一定にできることと、上層配線12と下層配線3との間の絶縁膜(層間絶縁膜6およびストップ絶縁膜7)の厚さを一定にすることができることになる。したがって、配線抵抗や寄生容量が変動しなくなる。

【0058】以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない、たとえば、エッチングはウエットエッチングで行ってもよい。また、前記上層配線を化学的機械研磨に代えてエッチバック法で形成してもよい。

【0059】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0060】(1)第1のエッチング種によってエッチングされる絶縁膜の中層に、一部に開口部を有しかつ前記第1のエッチング種によってエッチング不可能な材質からなるストップ絶縁膜を配置した後、第1のエッチング種で前記絶縁膜を表面からエッチングして前記ストップ絶縁膜の表面が底となる配線用溝と、前記配線用溝に連なり前記ストップ絶縁膜の開口部より下の絶縁膜部分を貫通するスルーホールを同時に形成し、その後、前記配線用溝およびスルーホールを埋め込むように前記絶縁膜上に金属膜を堆積させ、ついで前記金属膜を化学的機械研磨によって研磨して、前記配線用溝内およびスルーホール内にのみ金属を残すことによって配線およびス\*

\*ルーホール部を同時に形成することから、従来いずれも複数回必要としたドライエッチングやCVD法による金属膜の形成と化学的機械研磨が1回となり、工程短縮による半導体装置の製造コストの低減が達成できる。

【0061】(2)上層配線が形成される配線用溝の底はストップ絶縁膜によって規定される結果、配線用溝の深さが一定となり、配線の厚さや下層配線と上層配線間の絶縁膜の厚さが一定となり、配線抵抗や寄生容量が一定となり、半導体装置の電気特性が安定する。

【図面の簡単な説明】

【図1】本発明の一実施形態である半導体装置の製造方法によって製造された半導体装置を示す模式的断面図である。

【図2】本実施形態1の半導体装置の製造において、半導体基板の主面側に下層配線を形成した状態を示す模式的断面図である。

【図3】本実施形態1の半導体装置の製造において、層間絶縁膜およびストップ絶縁膜を形成した状態を示す模式的断面図である。

【図4】本実施形態1の半導体装置の製造において、ストップ絶縁膜に開口部を形成した状態を示す模式的断面図である。

【図5】本実施形態1の半導体装置の製造において、上層配線形成用の絶縁膜を形成した状態を示す模式的断面図である。

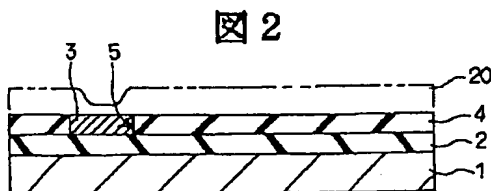
【図6】本実施形態1の半導体装置の製造において、配線用溝およびスルーホールを形成した状態を示す模式的断面図である。

【図7】本実施形態1の半導体装置の製造において、配線形成用金属膜を形成した状態を示す模式的断面図である。

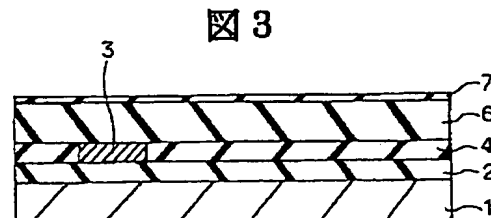
【符号の説明】

1…半導体基板、2…絶縁膜、3…下層配線、4…絶縁膜、5…配線用溝、6…層間絶縁膜、7…ストップ絶縁膜、9…絶縁膜、10…開口部、11…配線用溝、12…上層配線、13…スルーホール、14…スルーホール部、20…金属膜、21、22…ホトレジスト膜、23…金属膜。

【図2】

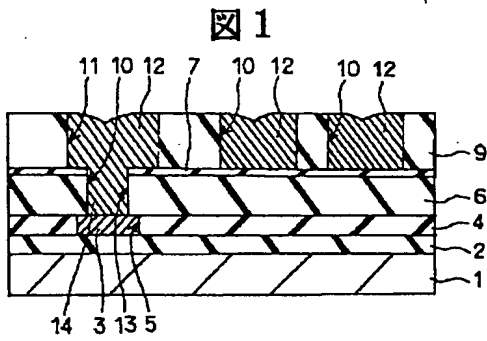


【図3】

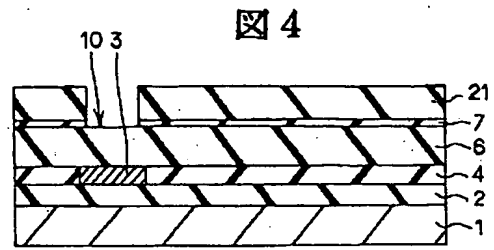




【図 1】

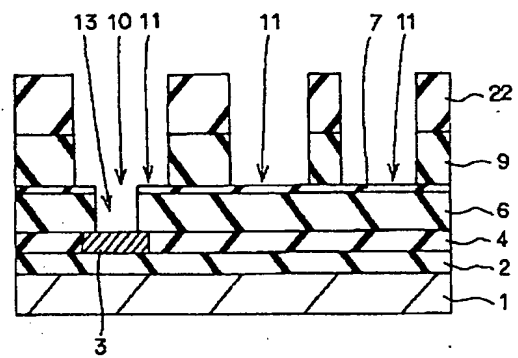


【図 4】



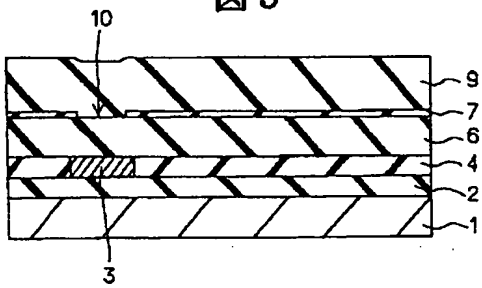
【図 6】

図 6



【図 5】

図 5



【図 7】

図 7

